

◆ 实验与实训

文章编号: 1672-5913(2026)02-0015-08

中图分类号: G642

面向“101计划”硬件课程的数字孪生一体化实验平台

黄 誉¹, 李宗辉¹, 熊 轲¹, 李文波², 牟宏伟²

(1. 北京交通大学 计算机科学与技术学院, 北京 100044;

2. 北京竞业达数码科技股份有限公司, 北京 100095)

摘 要: 为了解决计算机硬件课程“缺体系、重理论、欠规模、弱自研”等问题, 提出构建面向“101计划”的一体化实验平台, 包括数字孪生实验平台和基于 RISC-V 架构的 4 门硬件实验, 具体阐述在无法获得实体 FPGA 开发板时, 如何通过数字孪生平台客户端远程控制 FPGA 完成实验, 并基于 RISC-V 架构的实践内容覆盖数字系统基础、计算机组成原理、计算机体系结构和硬件综合实训课程, 循序渐进地完成电路设计、CPU 实现与优化和操作系统移植, 通过在“101计划”试点项目计算机组成原理课程中的教学实践说明教学效果。

关键词: 101 计划; 硬件课程实验; RISC-V; 数字孪生; 计算机组成原理

DOI:10.16512/j.cnki.jsjy.2026.02.043

1 计算机硬件实验教学面临的挑战与改革需求

随着人工智能的快速发展, 硬件加速、智能硬件等领域得到进一步发展, 硬件课程在计算机专业教学体系中的地位变得愈发重要。为了推进本科计算机教育改革, 教育部于 2021 年底启动“101 计划”, 致力于打造一批具备前沿性、创新性和挑战性的核心课程^[1]。在本科计算机教学领域, 硬件课程一直是改革的重难点, 尤其是实验教学领域, 长期面临教学难度大、实验设计困难的问题。究其原因, 一方面, 课程普遍使用实体设备, 对于教师而言, 如何针对不同硬件设计实验, 如何维护高成本的硬件资源, 这些问题都要考虑。另一方面, 对于刚刚接触计算机领域的本科生而言, 前置知识要求多, 抽象程度更高, 相对来说, 硬件实验的难度高于软件实验。

针对两方面问题, 从实验平台角度分析, 硬

件实验平台可以采取数字化转型的策略。将实体硬件板转化为可供软件操作使用的孪生板。平台数字化不仅能够减少对实体板的依赖, 减少学生拿出实体板连接的时间成本, 让学生能够随时随地进行实验。平台还能收集学习行为数据, 实现个性化指导与智能评估, 从而提升教学质量。

从课程设计层面分析, 近年来工程导向的教学理念备受关注, 硬件实验教学面临的问题主要分为以下 4 类。

(1) 缺体系: 各门课程相对独立, 难以形成一个前后连贯的课程实践体系^[2]。这不仅增加学生的学习成本和负担, 而且导致前后课程知识脱节。学生难以融会贯通, 构建完整的知识体系。

(2) 重理论: 教学重心往往注重理论和基础概念, 而忽视了让学生动手完成实际项目的重要性^[3]。

(3) 欠规模: 实验教学以小型验证性实验为主, 缺乏接近真实工程规模系统的实践^[4]。这些

基金项目: 北京交通大学本科教学改革项目 (LX20250081, LX20240100)。

作者简介: 黄誉, 男, 博士研究生在读, 研究方向为微处理器体系结构, ketted2025@bjtu.edu.cn; 李宗辉 (通信作者), 男, 副教授, 研究方向为计算机网络与系统结构, lizonghui@bjtu.edu.cn。

小规模实验工作量有限,难以让学生经历并解决复杂系统中出现的深层问题。

(4)弱自研:课程以验证性实验为主,学生在预先搭建好的平台上,按部就班地完成任务。难以从工程角度让学生从零开始设计、构建完整系统^[5]。

梳理国内顶尖大学教学改革的探索,文献[6]中提出了面向系统能力培养的计算机系统相关课程及实验体系,把理论原理与实际CPU、操作系统及编译器设计实践联系起来;文献[7]中提出基于FPGA的软硬件统一平台,将5门计算机核心课程的理论教学与实践环节相结合,但实施过程与实际效果在文献中缺乏细致说明;文献[8]中提出构建以MIPS单周期处理器的设计实验,并自主研发配套的智能测评平台,但教学考核以仿真为主,并未在实际硬件平台上进行。

2 计算机硬件类课程教学改革思路

计算机硬件类课程教学应重视以下3个核心方面。

(1)课程整体性:教学内容须与相关课程衔接紧密,引导学生循序渐进地完成数字电路至完整的计算机系统设计。

(2)硬件购置、维护和分配:在规划实验平台时,必须综合考量设备采购、后期维护等实际因素,保障硬件不容易损坏,且每位学生都有实际操作的机会^[9]。

(3)工程导向:教学实验不应全是验证性实

验,要求学生从搭建工程角度进行,着重培养学生在真实工程环境下进行硬件设计的能力。

计算机硬件类课程教学改革总体思路为:设计数字孪生实验平台,使用数字孪生技术,将物理FPGA开发板通过软件客户端呈现,学生在手头没有实体板时,依旧可以完成实验。开发一套连贯的计算机硬件课程体系,包括大一大四的4门硬件课程。大一的数字系统基础学习数字电路设计,让学生使用硬件描述语言实现基本逻辑门和电路;大二的计算机组成原理将完成简单的RISC-V单周期CPU设计,最终要上板验证设计的正确性;大三的计算机体系结构在已实现的CPU基础上,完成流水线并进行性能优化;大四的硬件综合实训课程要基于CPU实现一个SoC系统,最终启动操作系统。

3 基于“101计划”的实验教学平台构建

基于上述思路,构建面向“101计划”的计算机硬件“数字孪生”一体化教学实验平台,以硬件编程为主线,在一套教学实验平台上将4门硬件主干课程实验完全贯通,以自主设计能运行操作系统的CPU为目标,培养学生计算机硬件的设计与实现能力。

(1)设计“数字孪生”的一体化教学实验平台,包括线下实验箱和线上数字孪生系统(如图1所示)。

(2)计算机硬件课程实践体系建设,完成4门硬件课程实验的完全贯通(如图2所示)。

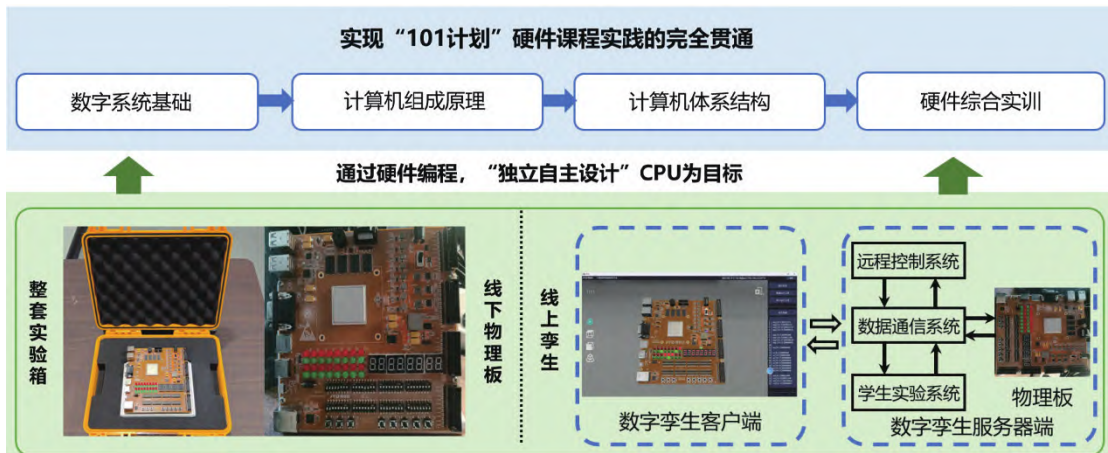


图1 “数字孪生”的一体化教学实验平台



图2 计算机硬件主干课程实践建设

4 数字孪生实验平台设计

4.1 设计目标与整体架构

数字孪生系统有两大核心需求：一是满足硬件FPGA的虚拟化，二是实现学生实验行为数据的采集。为了不影响实际FPGA的使用，要在保留学生对FPGA实验板的原有操作习惯前提下，构建操作与实际物理板体验相一致的平台，而且，设计不能对FPGA板的使用造成太大影响，虚拟化模块使用物理板资源时要尽量少，这样才能确保虚拟环境与物理硬件之间无缝切换。

设计的系统主要包括4个模块：客户端、远程控制系统、数据通信系统和学生实验系统，架构如图3所示。

(1) 客户端：提供与物理FPGA开发板高度一致的交互界面，并通过网络协议实时连接远程控制系统，同步获取并可视化FPGA信息。

(2) 远程控制系统：远程控制系统接收客户端命令，解析后下发至FPGA，FPGA执行结果通过数据通信系统回传至客户端，实现客户端和实际FPGA开发板同步，并采集学生实验数据。

(3) 数据通信系统：保障远程控制系统与

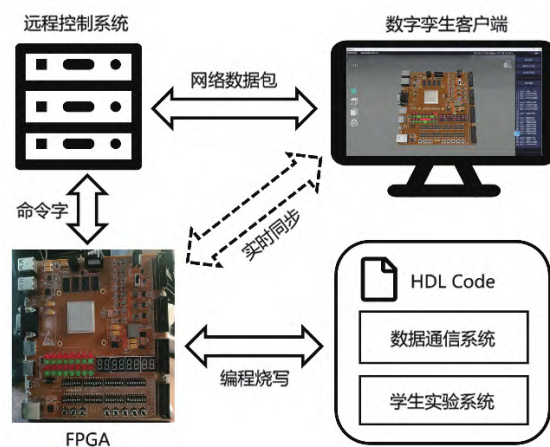


图3 数字孪生平台总架构

FPGA之间的稳定通信。

(4) 学生实验系统：提供包含虚拟化模块后的HDL代码综合、仿真与实现的环境。学生使用EDA工具(Vivado)在此模块完成设计后，将最终比特流烧写至FPGA中。

4.2 系统设计

4.2.1 远程控制系统(软件端)

远程控制系统通过串口向部署在FPGA上的数据通信系统发送控制命令。为了保持稳定的控

制和同步状态，系统间隔固定时间发送命令字识别客户端与 FPGA 之间的状态差异，并根据延迟大小动态修正客户端虚拟外设与 FPGA 实际外设之间的状态一致性，从而保证虚拟界面与物理实验结果在操作体验上的一致性。

远程控制系统可以采集用户在客户端的点击数据，以便学生实验数据收集。

4.2.2 数据通信系统

数据通信系统和远程控制系统通过串口进行数据交互，硬件侧基于 UART 协议实现了资源使用较低的串口模块。为实现稳定通信，串口模块增加了消抖与时钟稳定区间采样，确保在有噪声时，系统依然能够正常工作。

为了统一开发板复杂的引脚布局，全部 144 个可编程 I/O 引脚都被映射到 4 个外设组：64 个拨码开关 SW、8 个按键开关 KEY、32 个 LED 灯和 8 个七段数码管 SEG（40 个引脚）。拨码开关和按键开关被虚拟化（统称虚拟开关）为可写输入源，远程控制系统可对其进行读写。LED 和七段数码管直接映射到真实的 FPGA 输出引脚。外设重映射如图 4 所示。

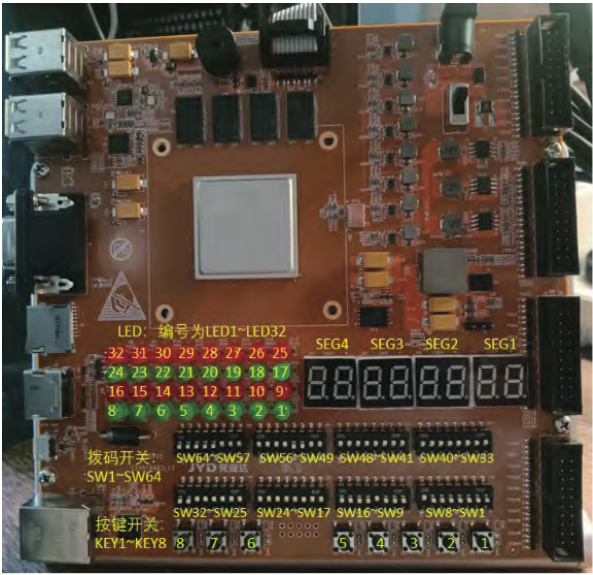


图 4 外设重映射图

系统定义了两类核心控制命令：read 命令和 write 命令。read 命令用于获取全部外设的状态，包括虚拟开关、LED 和数码管，共 18 字节，通过串口输出。

write 命令用于控制虚拟开关的状态，指令单字节，其中最高位为写入值（0 或 1），低 7 位为逻辑地址编码，支持 72 个有效地址（0x01~0x48）。其中 SW1~SW64 映射为 0x01~0x40，KEY1~KEY8 映射为 0x41~0x48。

这样的命令设计十分简洁。read 命令被固定为 0x80，单字节；write 命令同样为单字节。两个命令都可以通过一次标准串口传输完成。指令设计图如图 5 所示。如果给定的命令超出两条命令之外，则系统不响应。

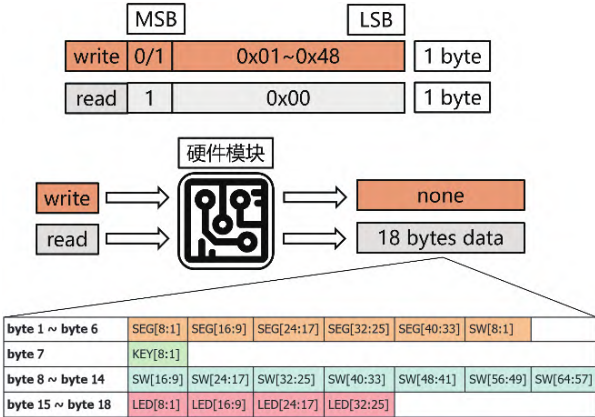


图 5 数据通信系统指令设计图

4.2.3 学生实验系统（硬件端）

学生实验系统负责与数据通信系统进行信息交互，同时支撑学生硬件实验。该系统在已经实现的数据通信系统下，封装了平台底层的串口通信、命令解析与外部控制，最终以 Vivado 项目形式提供给学生，架构如图 6 所示。值得注意的是，学生实验系统在功能上仅对应该图中的学生实验模块部分，即图 6 的 Student_top 所示的区域，其他模块对于学生而言透明。

Student_top 模块提供一套规范接口，包括时钟、复位和标准外设引脚信号。所有外设信号都经过数据通信系统的逻辑编码与命名映射，屏蔽底层细节，学生只须将自己实现的模块接入后，即可正常使用。

5 课程设计

课程实验体系从大一到大四，引导学生从零基础，逐步学习硬件设计。首先学习基础数字

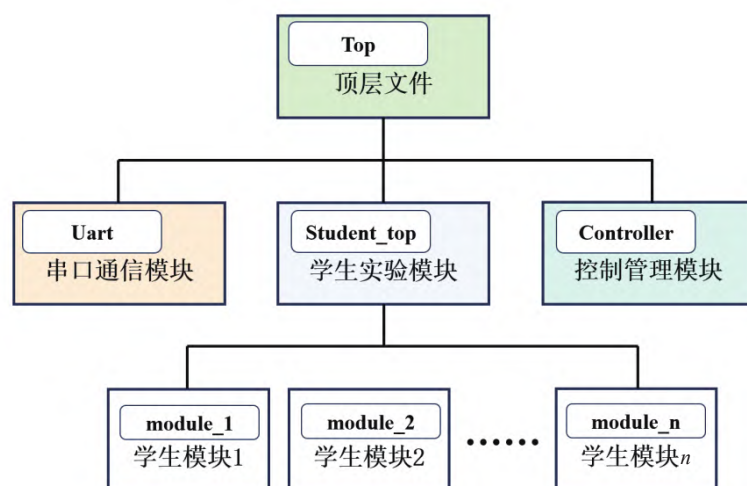


图6 学生实验系统架构

电路课程，并使用硬件描述语言完成简单的触发器、同步时序电路和异步时序电路设计；在此基础上，通过计算机组成原理课程，实现 RISC-V 单周期 CPU 并上板验证；计算机体系结构在原有 CPU 基础上，引入五级流水和 CPU 性能优化方法；硬件综合实训课程要实现浮点运算单元、中断系统、AXI 总线和 DMA 接口，并为提供好的串口和外设实现 C 语言通信接口，最终构建完整 SoC，启动 RT-Thread 操作系统。

目前在北京交通大学（以下简称我校）已开展课程试点，以 2025 年的试点课程计算机组成原理为例，该课程实验主要分为 3 个阶段：第一

阶段：学习硬件基础知识和 RISC-V 指令集；第二阶段：实现一个包含 7 条指令的 RISC-V CPU；第三阶段：扩展至 RV32I 的 24 条指令集——MiniRV，并通过 Trace 测试和硬件部署进行验证。

5.1 阶段一：基础知识与工具掌握

阶段一需要学生学习硬件编程的基本知识，根据实验指导书，学习硬件描述语言 System Verilog，然后熟悉开发环境 Vivado 2023.2 和 FPGA 开发板。实验指导书中提供开发环境安装和学习教程，以及开发板例程。在上述学习过程中，实验指导书中设置了问答题和部分编程题，用于检测学生的学习情况（如图 7 所示）。

4 FPGA说明

请仔细阅读 [附录4 FPGA板信息](#)，这对于你理解我们的开发板非常重要。

然后阅读 [附录6 孪生平台与物理板子使用说明](#)。

！经过上述阅读，你应该要对FPGA和HDL有一些最基本的了解。为了检验你是否认真阅读，我们出了几道题，如果你对这些问题有着清晰的认识，则可以进行下一步的阅读，否则请自行搜索或者重新阅读。

1. FPGA, Vivado和System Verilog的关系是什么？
2. jyd开发板的CPU芯片型号是什么？（这道题很重要，你可能要使用license激活，否则该芯片可能会在Synthesis时报错）
3. 开发板的系统时钟的主频是多少？
4. 如何对实现的硬件模块进行仿真测试？
5. 如何进行引脚绑定？（我们开发了一个针对jyd外设引脚绑定的脚本程序，想要使用的同学请参考 [附录5 Vivado XDC文件的使用](#)）
6. 组合逻辑和时序逻辑的区别是什么？
7. 在时序逻辑中使用阻塞赋值和非阻塞赋值形成的电路有什么区别？
8. 锁存器和触发器的区别是什么？

当你有信心回答出这些问题后，请尝试跑通FPGA开发板测试案例并完成我们要求的实验。

图7 部分实验的引导问题示例

在正式进入 CPU 设计前, 学生还须完成“RISC-V 汇编语言编程”预实验, 了解 RISC-V RV32I 中每条指令的含义, 使用汇编完成排序、斐波拉契数列求解等问题。

5.2 阶段二: 核心子集 CPU 的设计与验证

阶段二要着手设计包含 7 条核心指令 RISC-V 指令集子集 CPU。要求学生采用自底向上的方式逐步构建。学生在本阶段须完成以下任务。

(1) 运算器设计: 从基本运算模块 ALU 入手, 逐步扩展至乘法器等组件。

(2) 数据通路设计: 实现数据通路中的各个模块, 理解其中的数据流向, 最终构建一个可运行的数据通路。

(3) 存储器模块扩展: 使用字位扩展实现更大容量的存储空间。

(4) 控制器设计: 在数据通路设计的基础上增加控制单元, 实现指令译码与控制信号生成。

(5) 单周期 CPU 集成测试: 将以上模块整合为完整单周期 CPU, 并进行 7 条指令的仿真。

5.3 阶段三: MiniRV 指令集实现拓展与上板验证

第三阶段, 学生须在已实现的 7 条指令 CPU 基础上, 将指令集扩展为 24 条。由于在先前过程中, 学生已经了解 CPU 设计的基本思路。在此过程中, 实验指导书将提供一种自顶向下的设计方式, 让学生换一种思路继续设计 CPU。学生完成提供数据通路表和控制状态表, 理解在已经实现的 7 条指令 CPU 的基础上, 如何进一步扩展。

验证环节使用了 Trace 测试系统。该系统的原理为: 通过 Verilator 开源工具, 获取每个周期学生实现 CPU 的关键信号, 并与一个正确的 CPU 参考模型逐周期对比, 实现周期级别的错误定位。

通过测试后, 学生要根据给定的 I/O 地址空间, 实现总线, 并且将程序 coe 文件放入正确的存储区域, 烧写比特后, 让程序在 FPGA 上正确运行。图 8 展示了整个过程, 左侧为 Trace 测试的架构设计。右侧为程序运行期间, 数字孪生客户端与物理 FPGA 的显示一一对应。

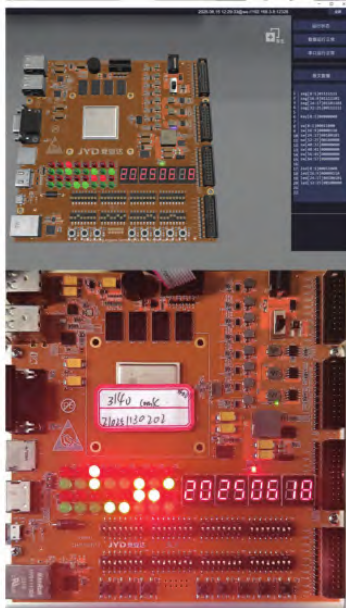
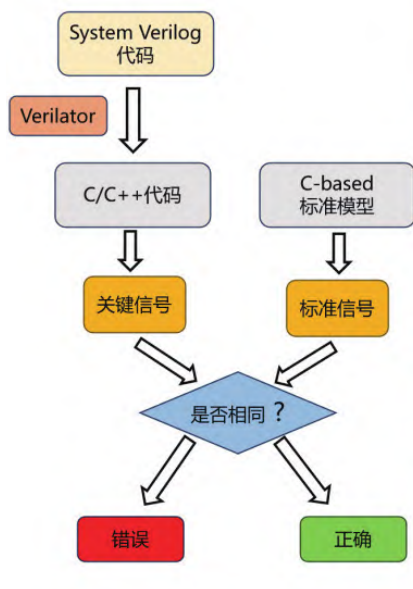


图 8 Trace 测试与上板验证

6 创新性

特色一: 一体化且循序渐进的教学实验模式。在一套教学实验平台上贯通 4 门硬件主干课程实践, 并且实验的设置按照从大一到大四的顺

序, 层层递进, 循序渐进。目前计算机组成原理课程实验已在飞书平台开放访问^[10]。

特色二: 数字孪生教学实践平台。数字孪生系统作为线下实验箱的扩展, 即学生线上操作, 实时反馈并作用到线下实验箱, 再通过网络将线

下实验箱的结果在线上呈现的方式反馈给学生,达到与线下相同的实验效果,使硬件实验不受时间、地点和设备的限制,满足集中式管理线下实验板,便于管理运维,图9展示了集中式管理的FPGA数字孪生矩阵。



图9 FPGA数字孪生矩阵

7 实施效果

(1)“数字孪生”的一体化教学实验平台,已申请教育类专利3项,支撑并完成计算机领域本科教育教学改革试点工作“101计划”教材试点应用项目,与竞业达公司合作进行产品化推广,亮相第33届北京教育装备展示会和第61届中国高等教育博览会,并在2025年全国大学生集成电路创新创业大赛RISC-V CPU设计竞赛中,作为竞赛培训平台和赛事平台使用。

(2)已于2024—2025年连续两年举办“以FPGA为载体的计算机系统能力”暑期师资培训班,向北京邮电大学、北京科技大学、中国矿业大学等多所高校教师讲授“数字孪生”的一体化教学实验平台。

(3)依托数字孪生平台和课程实验体系,我校参与了RV工委发布的RISC-V人才培养标准草案。

(4)2025年,我校詹天佑实验班(70人)完成计算机组成原理课程试点,实现32位RISC-V CPU,对标“101计划”中由高小鹏老师主编的《计算机组成与实现》MIPS CPU实现。表1展示试点班级的成绩评估,课程实施达到优秀(85分以上)。

表1 实验成绩评估

实验内容	总分分值	目标分值	平均分	达成度
补码运算实验	20	14	18.07	1.29
运算器实验	20	14	17.77	1.26
存储器实验	20	14	16.94	1.21
数据通路实验	20	14	16.79	1.20
CPU验证实验	20	14	16.20	1.16
总计	100	70	85.77	1.23

8 结 语

数字孪生计算机硬件实验平台和课程体系实现了覆盖本科大一到大四的计算机组成原理课程

硬件实验教学,在我校詹天佑实验班投入实际应用后,整体表现达成预期目标。目前该已依托平台申请了3项教育专利。在2025年全国大学生集成电路创新创业大赛RISC-V赛道中,计算机

组成原理课程作为赛前辅导, 数字孪生平台用于测试, 显示出良好的推广价值。未来, 将拓展课程体系, 收集并利用学生实验数据, 开发智能指导, 进一步完善实验指导内容。

参考文献:

- [1] 中华人民共和国教育部. 基础学科系列“101计划”工作推进会暨计算机“101计划”成果交流会召开[EB/OL]. (2024-04-19)[2025-09-05]. http://www.moe.gov.cn/jyb_xwfb/gzdt_gzdt/moe_1485/202404/t20240419_1126372.html.
- [2] 张元, 杨晓文, 李玲, 等. 面向计算机系统能力培养的操作系统课程教学改革[J]. 计算机教育, 2023(8): 36-41.
- [3] Kojmane J, Aboutajeddine A. Enjoyeering junior: A hands-on activity to enhance technological learning in an engineering dynamics course[C]//Proceedings of the 2016 International Conference on Information Technology for Organizations Development (IT4OD). New York: IEEE, 2016: 1-6.
- [4] 谭婧炜佳, 魏晓辉. 面向解决复杂工程问题能力培养的计算机系统结构课程教改探索[J]. 计算机教育, 2023(3): 145-153.
- [5] Matias L R. Tell me and I forget, teach me and I may remember, involve me and I learn: Changing the approach of teaching computer organization[C]//Proceedings of the IEEE/ACM 1st International Workshop on Software Engineering Curricula for Millennials (SECM). New York: IEEE, 2017: 68-71.
- [6] 袁春风, 陶先平, 汪亮, 等. 面向计算机系统能力培养的课程实验体系构建[J]. 实验技术与管理, 2018, 35(6): 12-16.
- [7] 张磊, 王建萍, 郑榕, 等. 基于VerilogHDL智能评测平台的“计算机组成原理”课程贯通式实验模式[J]. 实验技术与管理, 2021, 38(3): 236-241.
- [8] 秦国锋, 丁志军, 王力生, 等. 立足能力建设, 持续推进实验贯通[J]. 实验技术与管理, 2020, 37(5): 142-145, 162.
- [9] Papazoglou P P. Hardware oriented microprocessor simulator[C]//Proceedings of the 2024 IEEE Global Engineering Education Conference (EDUCON). New York: IEEE, 2024: 1-5.
- [10] 黄誉. 实验总目录[EB/OL]. (2025-06-04)[2025-09-05]. <https://jyq2umyqyt.feishu.cn/docx/FeuzdESG1oTfVnxNaADcDk88nNf>.

(编辑: 赵 原)

A unified digital twin platform for the experiment education of "The 101 Plans" hardware courses

Yu Huang¹, Zonghui Li¹, Ke Xiong¹, Wenbo Li², and Hongwei Mu²

(1. School of Computer Science and Technology, Beijing Jiaotong University, Beijing 100044, China;
2. Beijing Jingyeda Technology Co., Ltd., Beijing 100095, China)

Abstract: This paper presents a digital twin-based teaching platform that supports the main hardware courses for undergraduate education. It is part of "The 101 Plans" initiative, which aims to unify and improve computer hardware experimental courses. We develop a digital twin platform and a series of RISC-V-based courses on computer organization and system architecture. The platform supports hybrid teaching with physical experiment board and a digital twin client when the physical boards are not in hands. This setup overcomes equipment constraints, allowing for centralized hardware management and improved maintenance and efficiency. The platform can support hardware courses from digital circuits to CPU design and CPU performance optimization and finally covers system-on-chip (SoC) development and operation system booting. A pilot run of the computer organization course at Beijing Jiaotong University this year received positive student feedback and demonstrated effective learning outcomes

Key words: The 101 Plans; hardware education; RISC-V; digital twin; computer organization